

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002110744 A**(43) Date of publication of application: **12.04.02**

(51) Int. Cl.

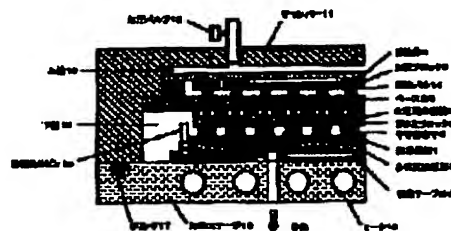
H01L 21/60**H01L 21/56**(21) Application number: **2000292574**(22) Date of filing: **28.09.00**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **SUNAKAWA YOSHITAKA
HAYASHI YOSHITAKE
KOYAMA MASAYOSHI**(54) **APPARATUS AND METHOD FOR MOUNTING SEMICONDUCTOR**

(57) Abstract

PROBLEM TO BE SOLVED: To solve the problem of a plurality of semiconductor elements being difficult to be mounted, for example, on a ultra-thin circuit board.

SOLUTION: This apparatus for mounting a semiconductor device where a plurality of semiconductor elements 2 are mounted on the circuit board 1 and a resin filled in the gap between the circuit board 1 and the semiconductor element 2 is cured, while pressurizing the back side of semiconductor element 2 comprises means, consisting of a pressurization block 8 and a hold block 3 that pressurize the back side of all or one part among a plurality of semiconductor elements 2 individually.

COPYRIGHT: (C)2002,JPO



JP2002110744A

Publication Title:

APPARATUS AND METHOD FOR MOUNTING SEMICONDUCTOR

Abstract:

Abstract of JP 2002110744

(A) PROBLEM TO BE SOLVED: To solve the problem of a plurality of semiconductor elements being difficult to be mounted, for example, on a ultra-thin circuit board. SOLUTION: This apparatus for mounting a semiconductor device where a plurality of semiconductor elements 2 are mounted on the circuit board 1 and a resin filled in the gap between the circuit board 1 and the semiconductor element 2 is cured, while pressurizing the back side of semiconductor element 2 comprises means, consisting of a pressurization block 8 and a hold block 3 that pressurize the back side of all or one part among a plurality of semiconductor elements 2 individually.

Courtesy of <http://v3.espacenet.com>

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-110744

(P2002-110744A)

(43)公開日 平成14年4月12日(2002.4.12)

(51)Int.Cl. ⁷	機別記号	F I	ナマコード*(参考)
H 0 1 L 21/60	S 1 1	H 0 1 L 21/60	3 1 1 T 5 F 0 4 4
			3 1 1 S 5 F 0 6 1
21/56		21/56	R

審査請求 未請求 請求項の数22 O L (全 12 頁)

(21)出願番号 特願2000-292574(P2000-292574)

(22)出願日 平成12年9月26日(2000.9.26)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 砂川 義隆

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 林 祥剛

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74)代理人 100092794

弁理士 松田 正道

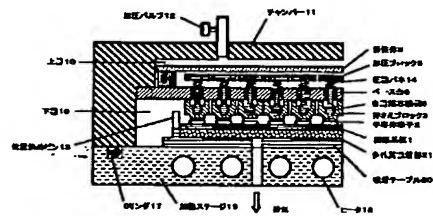
最終頁に続く

(54)【発明の名称】 半導体実装装置、および半導体実装方法

(57)【要約】

【課題】 たとえば極薄の回路基板上に、多数個の半導体素子を実装することが困難であるという課題があった。

【解決手段】 回路基板1上に複数個の半導体素子2を実装し、回路基板1と半導体素子2との隙間に充填された樹脂を、半導体素子2の裏面を加圧しながら硬化させる半導体実装装置であって、複数個の半導体素子2の内の全部または一部の裏面を個々に加圧するための加圧ブロック8、押さえブロック3を含む手段を備えたことを特徴とする半導体実装装置。



【特許請求の範囲】

【請求項1】 回路基板上に複数個の半導体素子を実装し、前記回路基板と前記半導体素子との隙間に充填された樹脂を、前記半導体素子の裏面を加圧しながら硬化させる半導体実装装置であって、

前記複数個の半導体素子の内の全部または一部の半導体素子の裏面を、前記加圧に際し、個々に加圧するための加圧手段を備えたことを特徴とする半導体実装装置。

【請求項2】 前記樹脂は、加熱されることによって前記硬化される封止樹脂であることを特徴とする請求項1記載の半導体実装装置。

【請求項3】 前記加圧手段を一括して加圧するための弾性体を備えたことを特徴とする請求項2記載の半導体実装装置。

【請求項4】 前記加圧手段は、前記半導体素子の裏面との接触面が平面形状を有するブロックを有することを特徴とする請求項2または3の何れかに記載の半導体実装装置。

【請求項5】 前記全部または一部の半導体素子の裏面の個々の加圧とは、前記全部の半導体素子の裏面の個々の加圧であり、

前記加圧手段は、(1)前記全部の半導体素子の裏面を個々に加圧する前記複数個の押さえブロック、(2)前記押さえブロックを直動させるための前記複数個のシャフト、および(3)前記複数個のシャフトを介して前記複数個の押さえブロックをそれぞれ加圧するための、前記弾性体によって加圧される前記複数個の加圧ブロックを有し、

前記シャフトは、前記押さえブロックと前記加圧ブロックとの間に設けられたベース台の穴を介して支持されることを特徴とする請求項1から3の何れかに記載の半導体実装装置。

【請求項6】 前記ベース台の穴には、前記シャフトを支持するためのベアリング軸受けが設けられており、前記シャフトは、前記ベアリング軸受けを利用して、前記ベース台に対して摺動することを特徴とする請求項5記載の半導体実装装置。

【請求項7】 前記シャフトには、前記加圧ブロックと前記ベース台との間に介在し、前記摺動が行われる際の負荷を抑制するための圧縮バネが取り付けられていることを特徴とする請求項6記載の半導体実装装置。

【請求項8】 前記押さえブロックは、前記全部の半導体素子の裏面を、平行かつ均一に加圧するための自動調芯機構を有することを特徴とする請求項5記載の半導体実装装置。

【請求項9】 前記ベース台に対する前記押さえブロックの位置ずれを防止するための規制ピンを備えたことを特徴とする請求項5記載の半導体実装装置。

【請求項10】 前記押さえブロックの、前記半導体素子の裏面との接触面の面積は、前記半導体素子のチップ

サイズより小さいことを特徴とする請求項5記載の半導体実装装置。

【請求項11】 前記押さえブロックの、前記半導体素子の裏面との接触面の全部または一部は、弾性体であることを特徴とする請求項5記載の半導体実装装置。

【請求項12】 前記押さえブロックの、前記半導体素子の裏面との接触面の全部または一部には、前記封止樹脂の付着を防止するための離型処理が施されていることを特徴とする請求項5記載の半導体実装装置。

【請求項13】 前記弾性体は、ゴムシートであり、前記ゴムシートを隔壁として、前記加圧ブロックと異なる側に上槽を備え、前記加圧ブロックの加圧は、前記上槽に空気圧もしくは圧縮ガスを供給し、前記ゴムシートを前記加圧ブロック側に膨張させることによって行われることを特徴とする請求項5記載の半導体実装装置。

【請求項14】 前記弾性体は、ゴムシートであり、前記ゴムシートを隔壁として、前記加圧ブロックと同じ側に下槽を備え、前記加圧ブロックの加圧は、前記下槽を減圧雰囲気にし、前記ゴムシートを前記加圧ブロック側に膨張させることによって行われることを特徴とする請求項5記載の半導体実装装置。

【請求項15】 前記封止樹脂の充填は、前記下槽を減圧雰囲気にすることを利用して行われることを特徴とする請求項14記載の半導体実装装置。

【請求項16】 前記回路基板の上面および/または下面に、前記封止樹脂を前記加熱するための熱源を備えたことを特徴とする請求項1から3の何れかに記載の半導体実装装置。

【請求項17】 前記回路基板の上面および下面に、前記熱源を備え、前記封止樹脂の硬化は、前記回路基板の下面に設けられた熱源による加熱で仮硬化を行った後、前記回路基板の上面に設けられた熱源による加熱で完全硬化を行うことによって完成されることを特徴とする請求項16記載の半導体実装装置。

【請求項18】 前記回路基板と前記熱源との間に、前記回路基板を吸着するための多孔質の吸着ステージを備えたことを特徴とする請求項16記載の半導体実装装置。

【請求項19】 前記熱源は、前記吸着ステージに内蔵されていることを特徴とする請求項18記載の半導体実装装置。

【請求項20】 前記実装の方式は、SBB、ACF、ACP、NSD、NCF、NCP、C4の何れかであることを特徴とする請求項1から3の何れかに記載の半導体実装装置。

【請求項21】 回路基板上に複数個の半導体素子を実装し、前記回路基板と前記半導体素子との隙間に充填さ

れた樹脂を、前記半導体素子の裏面を加圧しながら硬化させる半導体実装方法であって、
前記加圧は、前記複数個の半導体素子の内の全部または一部の半導体素子の裏面を、個々に加圧することによって行われることを特徴とする半導体実装方法。

【請求項22】 回路基板上に複数個の半導体素子を実装し、前記回路基板と前記半導体素子との隙間に充填された樹脂を、前記半導体素子の裏面を加圧しながら硬化させる半導体実装装置であって、
前記複数個の半導体素子の内の全部または一部の半導体素子の裏面との接触面が平面形状を有する、前記加圧に用いられる加圧手段を備えたことを特徴とする半導体実装装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、たとえば、回路基板上に複数個の半導体素子をフリップチップ実装する際に用いる半導体実装装置、および半導体実装方法に関するものである。

【0002】

【従来の技術】 半導体プロセスの微細化技術の進歩に伴い、半導体パッケージの形態も、QFPからμBGA、CSP、さらには、半導体ベアチップを直接回路基板上に接続するフリップチップ実装へと進化している。

【0003】 中でも、フリップチップ実装は、半導体素子と回路基板とが直接実装されているため、高速信号処理を必要とする機器への応用展開が、今後より一層加速するものと思われる。前述の実装技術を実現するためには、実装プロセス技術が必要不可欠であり、半導体素子と回路基板との接合を短時間で行え、かつ確実な信頼性が確保できる製造設備およびプロセス技術が特に重要である。

【0004】 以下、前記フリップチップ実装技術を用いて実装を行った場合の一例（例えば、特許第2833272号登録されたもの）について、図面を参照しながら説明する。

【0005】 図6は、従来の半導体実装装置を用いて、半導体素子を回路基板上にフリップチップ実装した構造体の構成とその製造手順を示す断面図であり、図7は、加圧治具を用いてフリップチップ実装した場合に生じる接合状態を示した模式図である。

【0006】 図6に示すように、半導体素子2の電極パッド28上にAU線を溶融した2段突起形状を有するバンパ29を形成した後、バンパ29の2段突起部に導電性接着剤30を転写する。次に、半導体素子2をフェースダウンし、回路基板1にパターン形成した端子電極31と接合し、前記導電性接着剤30を硬化する。そして、半導体素子2と回路基板1との隙間に液状のエポキシ系封止樹脂22を充填した後、加圧治具32に構成した弾性体突起33で半導体素子2の裏面を押圧しながら、封止樹脂22を加熱を行って硬化する。

ら、封止樹脂22を加熱を行って硬化する。

【0007】 このように、封止樹脂22の加熱時の熱膨張による半導体素子2の突き上げ力を利用し、大きな荷重で半導体素子2を押圧しながら硬化することで、接続抵抗値の増大や、回路の接続が開いてしまうオープン現象を最小限に防ごうとしていた。

【0008】 図6で示したように、回路基板1自体に厚みがあり、比較的その剛性が高く、その熱膨張係数が半導体素子2と同程度に小さく、かつ少数の半導体素子をフリップチップ実装する場合に關しては、このような技術で特に問題はないと思われる。

【0009】

【発明が解決しようとする課題】 しかしながら、例えばフレキシブルプリント配線板のように厚みが0.1mmから0.05mmと極薄形状の回路基板に、多数個の半導体素子を実装する場合には、図7に示すように、回路基板1に大きな反りや歪みが生じることがあるため、加圧治具32に設けた弾性体突起33と半導体素子2との配置関係としては、A部のように比較的平坦な位置だけが存在するのではない。

【0010】 たとえば、B部のように回路基板1自体に傾斜がある位置に半導体素子2をフリップチップ実装させた場合は、弾性体突起33の押圧力により、さらに半導体素子2が位置ズレを起こす危険性がある。また、C部のように凹状の位置に半導体素子2をフリップチップ実装させた場合は、半導体素子2と弾性体突起33との空間ギャップdが生じるため、無荷重状態となり接続信頼性に悪影響を与える恐れがある。

【0011】 また、回路基板1を吸着することにより、前述のような反りや歪みを防ぐ方法も考えられるが、フィルム状の極薄基板を用いた場合は、接合部を含む全ての箇所が凹状（図示せず）に吸引されるため、局所的な歪みの影響により、接合部に不具合が生じる可能性がある。

【0012】 また、半導体素子2の端子数が増す程、より大きな押圧力が必要となるが、端子数をnとし、1ピン（すなわち、1端子）当たりの必要荷重をxとすると、押圧力 $A = n \times x$ の関係となる。例えば、nが250ピンでxが10gとすると、 $250 \text{ピン} \times 10 \text{g} = 2.5 \text{kg}$ の押圧力を半導体素子2に加圧する必要がある。このような場合、従来のように点接触の弾性体突起33を用いると、半導体素子2に局所的な応力が作用し、全ての端子に対して均一に押圧されないばかりではなく、最悪の場合には、半導体素子2にクラックが発生し、破壊する恐れがある。

【0013】 また、封止樹脂22の充填方法は、ディスペンシによる半導体素子2と回路基板1の隙間に毛細管現象を用いた自然充填であるため、多数個の半導体素子2に完全充填するまでには、かなりの時間を要する。

【0014】 また、封止樹脂22の硬化工程が乾燥器を

用いたバッチ処理であるため、封止工程が完了後、硬化工程を実行するために、半導体素子を回路基板上にフリップチップ実装した構造体を搬送させる必要が生じる。このため、搬送時におけるなんらかのダメージが接合部に影響を与える可能性がある。

【0015】また、実際に、半導体素子2に形成されたバンパ29は±5μm程度の高さバラツキを有し、かつ回路基板1の実装領域の反りも±15μm程度ある。このようなバラツキや反りがある状態で実装すると、半導体素子2の平行度も必然的にズレる方向へと作用するが、従来の構成では、弾性体突起33は加圧治具32と固定されているため、前述の傾きを半導体素子2ごとに抑制することが不可能である。

【0016】このような理由により、極薄の回路基板上に多数個の半導体素子を実装することが困難であるという課題があった。

【0017】本発明は、上記従来のこのような課題を考慮し、たとえば、極薄の回路基板上に多数個の半導体素子をより確実に実装できる半導体実装装置、および半導体実装方法を提供することを目的とするものである。

【0018】

【課題を解決するための手段】第一の本発明（請求項1に対応）は、回路基板上に複数個の半導体素子を実装し、前記回路基板と前記半導体素子との隙間に充填された樹脂を、前記半導体素子の裏面を加圧しながら硬化させる半導体実装装置であって、前記複数個の半導体素子の内の全部または一部の半導体素子の裏面を、前記加圧に際し、個々に加圧するための加圧手段を備えたことを特徴とする半導体実装装置である。

【0019】第二の本発明（請求項2に対応）は、前記樹脂は、加熱されることによって前記硬化される封止樹脂であることを特徴とする第一の本発明の半導体実装装置である。

【0020】第三の本発明（請求項3に対応）は、前記加圧手段を一括して加圧するための弾性体を備えたことを特徴とする第二の本発明の半導体実装装置である。

【0021】第四の本発明（請求項4に対応）は、前記加圧手段は、前記半導体素子の裏面との接触面が平面形状を有するブロックを有することを特徴とする第二または第三の何れかの本発明の半導体実装装置である。

【0022】第五の本発明（請求項5に対応）は、前記全部または一部の半導体素子の裏面の個々の加圧とは、前記全部の半導体素子の裏面の個々の加圧であり、前記加圧手段は、（1）前記全部の半導体素子の裏面を個々に加圧する前記複数個の押さえブロック、（2）前記押さえブロックを直動させるための前記複数個のシャフト、および（3）前記複数個のシャフトを介して前記複数個の押さえブロックをそれぞれ加圧するための、前記弾性体によって加圧される前記複数個の加圧ブロックを有し、前記シャフトは、前記押さえブロックと前記加圧

ブロックとの間に設けられたベース台の穴を介して支持されることを特徴とする第一から第三の何れかの本発明の半導体実装装置である。

【0023】第六の本発明（請求項6に対応）は、前記ベース台の穴には、前記シャフトを支持するためのベアリング軸受けが設けられており、前記シャフトは、前記ベアリング軸受けを利用して、前記ベース台に対して摺動することを特徴とする第五の本発明の半導体実装装置である。

【0024】第七の本発明（請求項7に対応）は、前記シャフトには、前記加圧ブロックと前記ベース台との間に介在し、前記摺動が行われる際の負荷を抑制するための圧縮バネが取り付けられていることを特徴とする第六の本発明の半導体実装装置である。

【0025】第八の本発明（請求項8に対応）は、前記押さえブロックは、前記全部の半導体素子の裏面を、平行かつ均一に加圧するための自動調芯機構を有することを特徴とする第五の本発明の半導体実装装置である。

【0026】第九の本発明（請求項9に対応）は、前記ベース台に対する前記押さえブロックの位置ずれを防止するための規制ピンを備えたことを特徴とする第五の本発明の半導体実装装置である。

【0027】第十の本発明（請求項10に対応）は、前記押さえブロックの、前記半導体素子の裏面との接触面の面積は、前記半導体素子のチップサイズより小さいことを特徴とする第五の本発明の半導体実装装置である。

【0028】第十一の本発明（請求項11に対応）は、前記押さえブロックの、前記半導体素子の裏面との接触面の全部または一部は、弾性体であることを特徴とする第五の本発明の半導体実装装置である。

【0029】第十二の本発明（請求項12に対応）は、前記押さえブロックの、前記半導体素子の裏面との接触面の全部または一部には、前記封止樹脂の付着を防止するための離型処理が施されていることを特徴とする第五の本発明の半導体実装装置である。

【0030】第十三の本発明（請求項13に対応）は、前記弾性体は、ゴムシートであり、前記ゴムシートを隔壁として、前記加圧ブロックと異なる側に上槽を備え、前記加圧ブロックの加圧は、前記上槽に空気圧もしくは圧縮ガスを供給し、前記ゴムシートを前記加圧ブロック側に膨張させることによって行われることを特徴とする第五の本発明の半導体実装装置である。

【0031】第十四の本発明（請求項14に対応）は、前記弾性体は、ゴムシートであり、前記ゴムシートを隔壁として、前記加圧ブロックと同じ側に下槽を備え、前記加圧ブロックの加圧は、前記下槽を減圧雰囲気にし、前記ゴムシートを前記加圧ブロック側に膨張させることによって行われることを特徴とする第五の本発明の半導体実装装置である。

【0032】第十五の本発明（請求項15に対応）は、

前記封止樹脂の充填は、前記下槽を減圧雰囲気にするこ
とを利用して行われることを特徴とする第十四の本発明
の半導体実装装置である。

【0033】第十六の本発明（請求項16に対応）は、
前記回路基板の上面および／または下面に、前記封止樹
脂を前記加熱するための熱源を備えたことを特徴とする
第一から第三の本発明の半導体実装装置である。

【0034】第十七の本発明（請求項17に対応）は、
前記回路基板の上面および下面に、前記熱源を備え、前
記封止樹脂の硬化は、前記回路基板の下面に設けられた
熱源による加熱で仮硬化を行った後、前記回路基板の上
面に設けられた熱源による加熱で完全硬化を行うことに
よって完成されることを特徴とする第十六の本発明の半
導体実装装置である。

【0035】第十八の本発明（請求項18に対応）は、
前記回路基板と前記熱源との間に、前記回路基板を吸着
するための多孔質の吸着ステージを備えたことを特徴と
する第十六の本発明の半導体実装装置である。

【0036】第十九の本発明（請求項19に対応）は、
前記熱源は、前記吸着ステージに内蔵されていることを
特徴とする第十八の本発明の半導体実装装置である。

【0037】第二十の本発明（請求項20に対応）は、
前記実装の方式は、SBB、ACF、ACP、NSD、
NCF、NCP、C4の何れかであることを特徴とする
第一から第三の何れかの本発明の半導体実装装置であ
る。

【0038】第二十一の本発明（請求項21に対応）
は、回路基板上に複数個の半導体素子を実装し、前記回
路基板と前記半導体素子との隙間に充填された樹脂を、
前記半導体素子の裏面を加圧しながら硬化させる半導体
実装方法であって、前記加圧は、前記複数個の半導体素
子の内の全部または一部の半導体素子の裏面を、個々に
加圧することによって行われることを特徴とする半導体
実装方法である。

【0039】第二十二の本発明（請求項22に対応）
は、回路基板上に複数個の半導体素子を実装し、前記回
路基板と前記半導体素子との隙間に充填された樹脂を、
前記半導体素子の裏面を加圧しながら硬化させる半導体
実装装置であって、前記複数個の半導体素子の内の全部
または一部の半導体素子の裏面との接触面が平面形状を
有する、前記加圧に用いられる加圧手段を備えたことを
特徴とする半導体実装装置である。

【0040】

【発明の実施の形態】以下では、本発明にかかる実施の
形態について、図面を参照しつつ説明を行う。

【0041】（実施の形態1）はじめに、本実施の形態
1における半導体実装装置の構成および動作について、
図1、2を参照しながら説明する。なお、本実施の形態
の半導体実装装置の構成および動作を説明すると同時に
、本発明の半導体実装方法の一実施の形態についても

述べる。ここに、図1は、本実施の形態の半導体実装装
置の断面図であり、図2は、その断面拡大図である。

【0042】図1、2に示すように、回路基板1上にフ
リップチップ実装にて搭載された個々の半導体素子2と
同じ位置に、各半導体素子2の裏面との接触面が平面形
状を有する押さえブロック3が構成されている。前記押
さえブロック3は、押さえブロック3全体を直動させる
シャフト4（図2参照）、および回転自在な自動調心機
構5を内蔵し、かつベース台6に設けたベアリング軸受
け（以後、単にベアリングという）7（図2参照）を介
して加圧ブロック8に取り付けられた一体構造を有して
いる。そのような一体構造からなる加圧ブロック8の上
面には、例えばゴムシートなどの弾性体9（図1参照）
を隔壁とした上槽10（図1参照）がチャンバー11
（図1参照）内に配置され、かつ加圧バルブ12（図1
参照）が構成されている。

【0043】このように構成された、加圧バルブ12に
空気圧もしくは圧縮ガスによる圧力を供給することによ
り、弾性体9が膨張し、その圧力が加圧ブロック8を介
し押さえブロック3に伝達される。このため、封止樹脂
22を充填された全ての半導体素子2に対して押さえブ
ロック3による加圧が行われ、均一な加圧処理を短時間
で実現することができる。ここに、位置決めピン13
（図1参照）は回路基板1（図1参照）を位置規制する
ためのものである。

【0044】半導体素子2をこのようにして押圧しなが
ら、加熱ステージ19（図1参照）に内蔵されたヒータ
18（図1参照）による加熱を行って、封止樹脂22を
熱硬化させることができる。

【0045】なお、押さえブロック3を直動させるシャ
フト4は、ベース台6に設けたベアリング7の軸受けで
摺動するが、ベース台6と加圧ブロック8との間に圧縮
バネ14を配しているため、半導体素子2と当接する際
の上下駆動時に無理な負荷が加わらず、半導体素子2と
当接する際のダメージを最小限に抑えることが可能とな
る。

【0046】また、押さえブロック3に内蔵された自動
調心機構5は、半導体素子2の裏面と当接した際、半導
体素子2裏面にならう構造を有しているため、半導体素
子2の傾きが自動的に補正され、全体の押圧を平行かつ
均一に加圧することが可能となる。

【0047】また、押さえブロック3には、位置決め用
の規制ピン15（図2参照）が嵌合されており、押さえ
ブロック3の回転が抑制され、半導体素子2の実装配置
と整合した状態で加圧することができるため、位置ずれ
の生じない高安定の加圧を供給することができる。

【0048】また、前述の押さえブロック3の面積は、
半導体素子2のサイズより小さくすることにより、封止
樹脂22の付着防止ができるとともに、半導体素子2の
加圧力の制御は、圧縮空気の調整によって簡単に操作す

ることができる。

【0049】また、押さえブロック3全体もしくは半導体素子2に接する面の押圧力が小さい場合、例えば半導体素子2に印加される全荷重が数10g～数100g程度の低荷重である場合には、押さえブロック3の、半導体素子2の裏面との接触面の全部または一部に、ゴムシート材等による弾性体を用いてもよい。このような場合、ゴムシート材等による弾性体の変形が少なく、特に安定した加圧が可能である。なお、半導体素子2が近年重要性の増大している薄型半導体素子である場合には、押圧による破壊を防止するため、半導体素子2に印加される全荷重は、前述した程度の低荷重に抑制される。したがって、そのような場合、ゴムシート材等による弾性体を用い、安定した加圧を行うことによって、望ましい効果が発揮される。

【0050】また、押さえブロック3の、少なくとも半導体素子2と接する面の全部または一部に離型処理（例えば、シリコン系やテフロン（登録商標）系の材料等）を施すことにより、封止樹脂22の付着が抑制でき、たとえ封止樹脂22が付着してもその洗浄が簡略化されるため、作業効率が改善される。

【0051】また、チャンバー11の下槽16（図1参照）を減圧雰囲気下にするることにより、ベアリング7の嵌め込まれている穴を通じた空気の流れを利用して、弾性体9を膨張させるとともに、加圧ブロック8を下槽16側に吸着して下降させることができるため、押さえブロック3を加圧することも可能である。

【0052】また、上槽10に空気を供給した場合、弾性体9と複数個からなる加圧ブロック8との間隔が広いと、弾性体9が各加圧ブロック8の隙間に入り込み、加圧力を分散させる恐れがある。そのため、加圧ブロック8は、できるだけ隣接させた状態が好ましい。なお、リング17（図1参照）は、チャンバー11内の気体のリークを防ぐためのシール材である。

【0053】また、回路基板1と半導体素子2との隙間に充填されたエポキシ系の封止樹脂22を熱硬化させるために、（1）回路基板1の下面にヒータ18等を有する加熱ステージ19を設けたり、（2）回路基板1の上面に熱源（図示省略）を構成することにより、封止樹脂22を熱硬化させることができる。

【0054】また、吸着テーブル20を介して数10μmからなる多孔質吸着部21（図1参照）が設けられているため、回路基板1の吸着は、50μm程度の厚みを有するフレキシブルプリント配線基板に対しても、局部的な反りおよび歪みを抑制しつつ行うことができる。

【0055】また、多孔質吸着部21の下面には、加熱ステージ19が構成されているため、封止樹脂22の熱硬化を容易に行うことが可能である。

【0056】また、押さえブロック3および加圧ブロック8のブロックの構造体を用いた実装装置は、前述のよ

うな封止樹脂の加圧および硬化を行うための過程をとまなうSBB、ACF、ACP、NSD、NCF、NCP、C4などの何れの実装方式でも効果を発揮する。

【0057】（第2の実施の形態）つぎに、本実施の形態2における半導体実装装置の構成および動作について、図3（a）～（c）を参照しながら説明する。なお、本実施の形態の半導体実装装置の構成および動作を説明すると同時に、本発明の半導体実装方法の一実施の形態についても述べる。ここに、図3（a）はディスペンサー23による封止樹脂22の供給を説明するための説明図であり、図3（b）は半導体実装装置の断面図であり、図3（c）は半導体実装体の断面図である。

【0058】本実施の形態では、図3（a）に示すように、吸着テーブル20と多孔質吸着部21を介して排気を行い、回路基板1全体を多孔質吸着部21に吸着させた後、フリップチップ実装された半導体素子2の周辺に、例えばディスペンサー23を用いて封止樹脂22を供給する。

【0059】回路基板1全体を多孔質吸着部21に吸着させ、封止樹脂22をディスペンサー23からの注入によって供給した後、図3（b）に示すように、エアーシリンダー（図示省略）でチャンバー11を加熱ステージ19に載置し、チャンバー11の内部に構成した隔壁部を有する弾性体9の上槽10に、加圧バルブ12から、空気圧もしくは圧縮ガスによる圧力を供給する。これにより、加圧ブロック8と押さえブロック3が押し下げられるため、全ての半導体素子2の裏面を、押さえブロック3の面と当接させた状態で、一括して加圧することができる。

【0060】次に、弾性体9の下槽16を減圧雰囲気下にするることにより、半導体素子2と回路基板1との隙間に注入した封止樹脂22を脱泡する。その後、減圧状態から大気圧に戻す差圧作用により、封止樹脂22を完全に充填することが可能となる。このため、短時間でかつ一括して封止樹脂22の工程処理ができるとともに、ボイドの影響を最小限に抑制することができる。

【0061】最後に、回路基板1の下面に設けたヒータ18を有する加熱ステージ19で封止樹脂22を加熱硬化することにより、図3（c）に示すように、半導体素子2と回路基板1との接合を、安定した状態を維持しつつ完成することができる。このため、接続信頼性の高い多数個のフリップチップ実装が可能となる。

【0062】なお、上述の本実施の形態の半導体実装方法は、半導体素子2を封止する際、半導体素子2の裏面を加圧させた状態で、封止樹脂22を充填させる手順を有していた。しかし、これに限らず、大気上で半導体素子2と回路基板1との隙間に封止樹脂22を充填する場合は、封止樹脂22を充填してから半導体素子2の裏面を加圧し、封止樹脂22を加熱硬化する手順であっても構わない。

【0063】また、半導体素子2に押圧力を加えた状態で封止樹脂22を注入し、真空充填させた後、前述と同様に加圧硬化する手順でもよい。

【0064】(第3の実施の形態) つぎに、本実施の形態3における半導体実装装置の構成および動作について、図4を参照しながら説明する。なお、本実施の形態の半導体実装装置の構成および動作を説明すると同時に、本発明の半導体実装方法の一実施の形態についても述べる。ここに、図4は、本実施の形態の半導体実装装置の断面図である。

【0065】本実施の形態では、図4に示すように、半導体素子2と回路基板1との隙間に封止樹脂22を減圧雰囲気で充填し、半導体素子2の裏面を加圧した後、

(1) 回路基板1の下面に設けた加熱ステージ19をヒータ18で加熱し、封止樹脂22を温度設定範囲60℃～100℃で仮硬化させ、(2) ヒータコントローラ24で加熱させた熱風を、風量調整バルブ25を介してチャンバー11の内部に設けた下槽16に供給し、半導体素子2全体を温度設定範囲150℃～180℃で加熱し、封止樹脂22を完全硬化させる。このように、回路基板1の熱膨張を最小限に抑えながら封止樹脂22の仮硬化を低温であらかじめ行うことにより、回路基板1の熱膨張に起因する回路基板1と半導体素子2との接続不良を最終的に抑制できるため、半導体実装体の接続信頼性をより向上させることができる。

【0066】なお、熱の風量調整は、風量調整バルブ25により、簡単に制御することが可能である。

【0067】また、図5に示すように、半導体素子2と回路基板1との隙間に封止樹脂22を減圧雰囲気で充填し、半導体素子2の裏面を加圧させた後、チャンバー11の内部に設けたベース台6の半導体素子2と同じ位置に設けられたノズル26から、風量調整バルブ25を介して加熱された圧縮空気を放射することにより、半導体素子2全体を直接加熱し、封止樹脂22を硬化させることが容易に行える。もちろん、前述したように、加熱ステージ19をヒータ18で加熱し、封止樹脂22を温度設定範囲60℃～100℃で仮硬化させた後、ノズル26からの放射熱で半導体素子2全体を150℃～180℃の温度設定範囲で加熱し、封止樹脂22を完全硬化させることも可能である。ここに、ベース台6に遮蔽板27が設けられていることにより、ノズル26からの放射熱の、隣接した半導体素子2間における対流を防ぐことができるため、他の半導体素子2に対するダメージを最小限に抑えることができる。

【0068】また、本発明の半導体素子の裏面の個々の加圧は、上述した本実施の形態においては、全部の半導体素子の裏面の個々の加圧であった。しかし、これに限らず、本発明の半導体素子の裏面の個々の加圧は、複数の半導体素子の内の一部の半導体素子の裏面の個々の加圧であってもよい。たとえば、特定の位置において、

回路基板の反りや歪みが発生しやすいことが分かっている場合には、(1) そのような特定の位置に実装される半導体素子の裏面の加圧は個々に行い、(2) その他の位置に実装される半導体素子の裏面の加圧はまとめて行ってもよい。

【0069】また、本発明の加圧手段は、上述した本実施の形態においては、複数の半導体素子の内の全部の半導体素子の裏面との接触面が、平面形状を有していた。しかし、これに限らず、本発明の加圧手段は、複数の半導体素子の内の一部の半導体素子の裏面との接触面が、平面形状を有していてもよい。たとえば、特定の半導体素子において、クラックが発生しやすいことが分かっている場合には、(1) そのような特定の半導体素子の裏面との接触面は平面形状を有し、(2) その他の半導体素子の裏面との接触面は従来のような尖端形状を有していてもよい。

【0070】また、吸着テーブル20、および多孔質吸着部21を含む手段は、本発明の吸着ステージに対応し、ヒータ18を含む手段は、本発明の熱源に対応する。また、本発明の熱源は、上述された本実施の形態では、回路基板1の上面および/または下面に設けられていたが、これに限らず、たとえば、本発明の吸着ステージに内蔵されていてもよい。

【0071】以上述べたところから明らかなように、本発明は、たとえば、回路基板上に複数の半導体素子をフリップチップ実装し、前記回路基板と前記半導体素子との隙間に介在する封止樹脂を、前記半導体素子の裏面を加圧しながら前記封止樹脂を加熱硬化する半導体実装装置であって、前記半導体素子裏面を、個々に加圧するブロックを有し、かつ前記ブロックを弾性体で一括に加圧する構造を備えていることを特徴とする半導体実装装置である。

【0072】また、本発明は、たとえば、前記ブロックの構造体としては、前記半導体素子の裏面を加圧する第1の押さえブロックと前記第1の押さえブロックを直動させるシャフトと前記弾性体で加圧される第2の加圧ブロックで構成され、前記シャフトは前記第1の押さえブロックと前記第2の加圧ブロック間に設けたベース台の穴を介して支持することを特徴とする半導体実装装置である。

【0073】また、本発明は、たとえば、前記第1の押さえブロックには、前記半導体素子裏面を平行にかつ均一に加圧できるよう、自動調芯機構を構成していることを特徴とする半導体実装装置である。

【0074】また、本発明は、たとえば、前記第2の加圧ブロックを押さえる弾性体にゴムシートを用い、かつ加圧方法として前記ゴムシートを隔壁とした上槽を設け、前記槽を空気圧もしくは圧縮ガスによって加圧することを特徴とする半導体実装装置である。

【0075】また、本発明は、たとえば、前記ゴムシー

トを隔壁とした下槽を設け、前記下槽を減圧雰囲気にすることで前記ゴムシートを下降させ、前記第2の加圧ブロックを加圧することを特徴とする半導体実装装置である。

【0076】また、本発明は、たとえば、回路基板上に複数個の半導体素子をフリップチップ実装し、前記回路基板と前記半導体素子との隙間に介在する封止樹脂を、前記半導体素子の裏面を加圧しながら加熱硬化する半導体実装体の製造方法であって、前記半導体素子裏面を個々に独立して加圧するブロックを構成し、前記ブロックの上部に弾性シートを隔壁とした上槽を設け、前記上槽に空気圧を供給することで前記弾性シートによって、前記ブロックを押し下げて前記半導体素子を一括に加圧させながら前記回路基板の下面に設けた熱源で封止樹脂を硬化させることを特徴とする半導体実装体の製造方法である。

【0077】また、本発明は、たとえば、前記ブロックの構造は、前記半導体素子を加圧する第2の加圧ブロックと前記第2加圧ブロックを直動させるシャフトと前記半導体素子を押さえる第1の押さえブロックで構成され、前記シャフトは前記第1の押さえブロックと前記加圧ブロック間に設けたベース台の穴を介して支持されているものであり、前記第1の押さえブロック面に前記半導体素子の裏面を当接させることを特徴とする半導体実装体の製造方法である。

【0078】また、本発明は、たとえば、本発明の半導体実装装置を用いた半導体実装体の製造方法であって、半導体素子周辺に封止樹脂を供給後、隔壁となる弾性体の下槽を減圧雰囲気にし、前記回路基板と前記半導体素子との隙間に封止樹脂を充填し、前記回路基板の下面もしくは上面に設けた熱源で封止樹脂を硬化させることを特徴とする半導体実装体の製造方法である。

【0079】以上説明したことから明らかなように、本発明の半導体実装装置と半導体実装体の製造方法は、個々に独立した半導体素子の裏面を加圧する押さえブロックと一体構造を有した加圧ブロックの上面に弾性体を隔壁とした上槽を構成し、前記上槽に空気圧もしくは圧縮ガスを供給することにより、その圧力が加圧ブロックを介し押さえブロック3に伝達され、全ての半導体素子の当接に対して、均一な加圧処理を施すことができる。また、回路基板の下面には熱源を搭載しているため、半導体素子と回路基板の隙間に充填された封止樹脂を直接硬化させることが可能となり、従来のバッチ処理を短時間かつ、接続信頼性の高いフリップチップ実装ができる。

【0080】さらに、押さえブロックを直動させるシャフトは、ベース台に設けたベアリングの軸受けで摺動するとともに、ベース台と加圧ブロックとの間に圧縮パネを配しているため、半導体素子と当接する際の上下駆動時に無理な負荷が加わらないため、スムーズに動作する

ことができ、半導体素子と当接する際のダメージを最小限に抑えることが可能となる。

【0081】さらに、押さえブロック構造は、自動調整機構が内蔵されており、半導体素子の裏面と当接した際、半導体素子の裏面にならう構造を有しているため、自動的に半導体素子の傾き補正と全体の押圧を平行にかつ、均一に加圧することができ、安定した接続状態を維持することができる。

【0082】さらに、押さえブロックには、位置決め用の規制ピンが嵌合されているため、押さえブロックの回転が抑制され、半導体素子の実装配置と整合した状態で加圧することができるため、位置ずれの生じない高安定の加圧を供給することができる。

【0083】さらに、押さえブロックの少なくとも半導体素子と接する面に離型処理（例えば、シリコン系やテフロン系の材料等）を施すことにより、封止樹脂の付着が抑制でき、付着した封止樹脂の洗浄が簡略化されるため、作業効率が改善される。

【0084】さらに、チャンバーの上槽を隔壁とした下槽を減圧雰囲気にすることにより、弾性体を下降させ加圧ブロックを加圧することも可能であるとともに、半導体素子と回路基板の隙間に注入した封止樹脂は脱泡後、減圧状態から大気圧に戻す差圧作用により完全に充填することが可能となるため、短時間かつ、一括に封止樹脂の工程処理が可能となり、ボイドの影響に対しても最小限に抑制することができる。

【0085】さらに、回路基板の吸着は、吸着テーブルを介して数10 μ mからなる多孔質吸着部が設けられているため、50 μ m程度の厚みを有するフレキシブルプリント配線基板に対しても、局所的な反りおよび歪みを抑制することができる。

【0086】また、多孔質吸着部の下面には、加熱ステージが構成されているため、封止樹脂の熱硬化を容易に行うことが可能である。

【0087】さらに、押さえブロックおよび加圧ブロックの構造を用いた実装方式は、SBB、ACF、ACP等のいずれの場合においても対処できる。

【0088】さらに、半導体素子と回路基板1との隙間に封止樹脂を減圧雰囲気で充填し、半導体素子の裏面を加圧させた状態で、回路基板の下面に設けた加熱ステージで封止樹脂を仮硬化させた後、ヒータコンローラで加熱した熱風を回路基板より高い温度で封止樹脂を完全硬化させることにより、半導体素子の設定温度に対して、回路基板の設定温度が低い場合回路基板の熱膨張を最小限に抑えることができ、より接続信頼性を向上させることができる。

【0089】さらに、半導体素子と回路基板との隙間に封止樹脂を減圧雰囲気で充填し、半導体素子の裏面を加圧させた後、チャンバーの内に設けたノズルに加熱した圧縮空気を放射することにより、半導体素子を直接加熱

硬化させることが容易に行える。

【0090】

【発明の効果】以上の説明から明らかなように、本発明は、たとえば、極薄の回路基板上に多数個の半導体素子をより確実に実装できる半導体実装装置、および半導体実装方法を提供することができるという長所を有する。

【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体実装装置の断面図

【図2】本発明の実施の形態1の半導体実装装置の断面図拡大図

【図3】本発明の実施の形態2の、ディスペンサー23による封止樹脂22の供給を説明するための説明図（図3（a））、半導体実装装置の断面図（図3（b））、半導体実装体の断面図（図3（c））

【図4】本発明の実施の形態3の半導体実装装置の断面図

【図5】本発明の実施の形態3で説明される、加熱された圧縮空気のノズル26からの放射による封止樹脂22の加熱硬化を説明するための説明図

【図6】従来の半導体実装装置を用いて、実装した構造体の構成とその製造手順を示す断面図

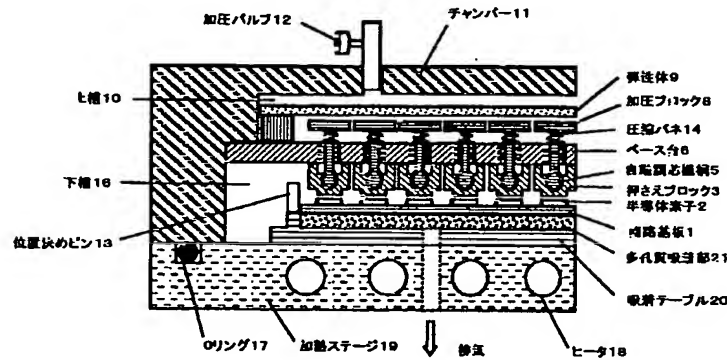
【図7】従来の半導体実装装置の加圧治具を用いて、実装した場合に生じる接合状態を示した模式図

【符号の説明】

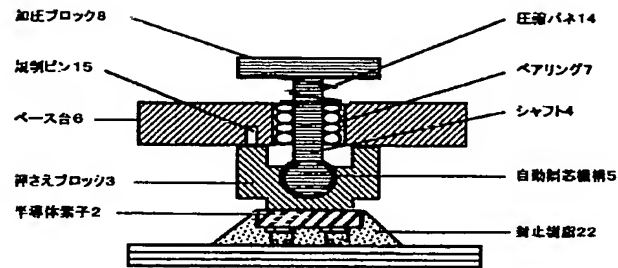
- 1 回路基板
- 2 半導体素子
- 3 押さえブロック
- 4 シャフト

- 5 自動調芯機構
- 6 ベース台
- 7 ベアリング
- 8 加圧ブロック
- 9 弾性体
- 10 上槽
- 11 チャンバー
- 12 加圧バルブ
- 13 位置決めピン
- 14 圧縮バネ
- 15 規制ピン
- 16 下槽
- 17 Oリング
- 18 ヒータ
- 19 加熱ステージ
- 20 吸着テーブル
- 21 多孔質吸着部
- 22 封止樹脂
- 23 ディスペンサー
- 24 ヒータコントローラ
- 25 風量調整バルブ
- 26 ノズル
- 27 遮蔽板
- 28 電極パッド
- 29 パンプ
- 30 導電性接着剤
- 31 端子電極
- 32 加圧治具
- 33 弾性体突起

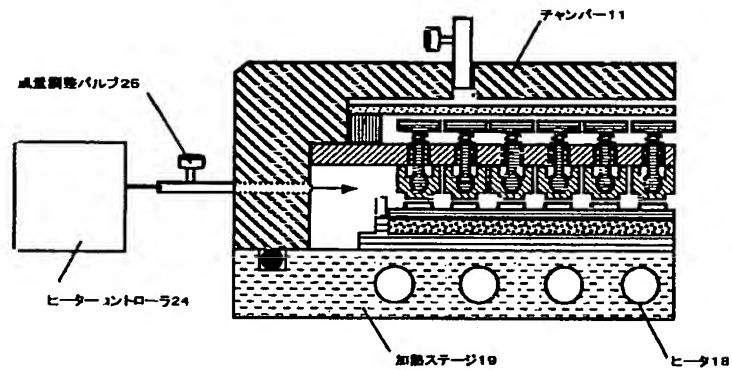
【図1】



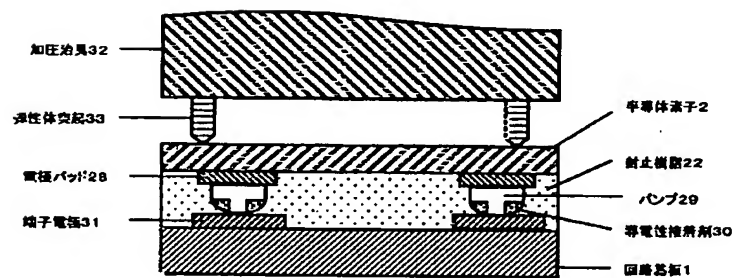
【図2】



【図4】

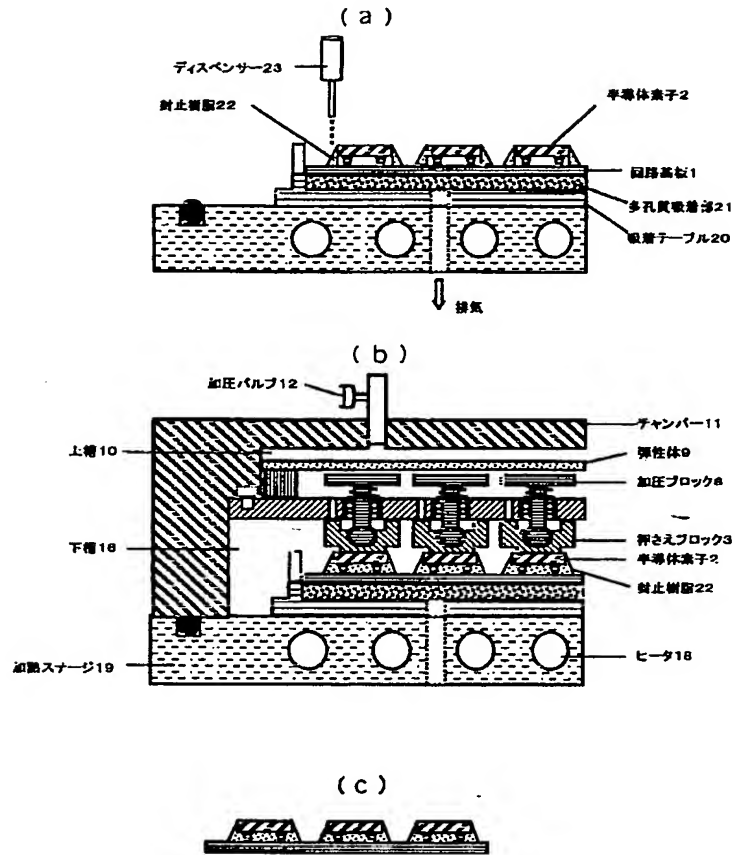


【図6】

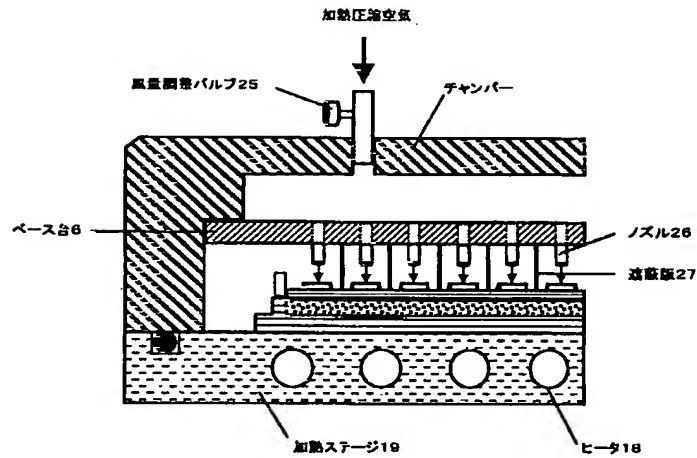


(特 1) 102-110744 (P2002-110744A)

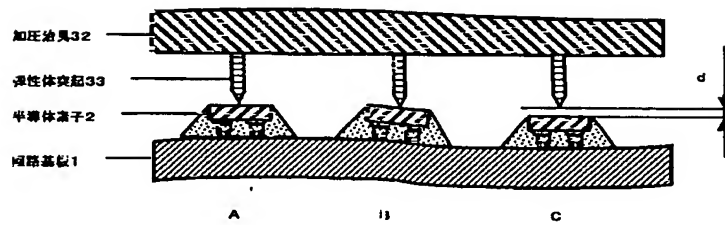
【図3】



【図5】



【図7】



フロントページの続き

(72)発明者 小山 雅義
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5F044 KK03 LL07 LL11 PP15 PP19
QQ01 RR01 RR19
5F061 AA01 BA03 CA04 FA02